



XVI congresso interno de iniciação científica

Ginásio Multidisciplinar da Unicamp
24 a 25 de setembro de 2008



E0387

DECODIFICADOR RÁPIDO PARA PROCESSADORES MODELADOS EM ARCHC

Rafael Marchiore Mendes da Silva Madeira (Bolsista SAE/UNICAMP) e Prof. Dr. Rodolfo Jardim de Azevedo (Orientador), Instituto de Computação - IC, UNICAMP

No presente trabalho de iniciação científica visamos promover alterações na ferramenta ArchC (uma linguagem para descrição de arquiteturas de computadores) de forma a aumentarmos o desempenho durante a execução dos modelos escritos nesta linguagem. Para isso, focamos na alteração do processo de decodificação de instruções do ArchC. Analisamos a forma como tal processo ocorria e verificamos que a forma dinâmica de decodificação era um gargalo de desempenho. Desenhamos então novas estruturas de dados para, juntamente com um novo método de desmembramento de instruções, implantarmos uma forma estática de decodificação e análise de seus campos. Para medirmos o desempenho do novo método de decodificação em detrimento ao atual escolhemos como métrica o número de ciclos gastos pelo processador para executar os respectivos códigos de decodificação. Realizamos testes utilizando 6 benchmarks do pacote MiBench. Os resultados finais mostram que na média dos valores coletados, o processo de decodificação estático como um todo é 183,49% mais rápido que o processo de decodificação dinâmica de instruções. Os resultados obtidos confirmaram que esta nova forma de decodificação (estática) apresenta desempenho significativamente melhor em relação à atual. Executamos então testes utilizando a decodificação estática para outros modelos existentes, descritos em ArchC. Estes testes mostraram o funcionamento correto deste método para os modelos dos processadores MIPS, Sparc e PowerPC.

Arquitetura de computadores - Processadores - ArchC