

DESENVOLVIMENTO DE UMA PLATAFORMA DE TESTE DE DUPLO PULSO PARA ESTUDO DE PERDAS POR COMUTAÇÃO EM TRANSISTORES MOSFET COM A TECNOLOGIA DE CARBETO DE SILÍCIO

Palavras-Chave: Carbeto de silício, MOSFET, Perdas por comutação

Autores(as):

Lucas Kenji Katano, FEEC/Unicamp

Denison Rodrigo Ferreira da Silva (coautor), FEEC/Unicamp

Prof. Dr. Marcos Vinicius Puydinger dos Santos (orientador), FEEC/Unicamp

1. INTRODUÇÃO

Devido à crescente demanda no país por dispositivos de potência mais eficientes e sustentáveis em diversos setores tecnológicos, tal como ocorre no setor emergente de veículos elétricos, verifica-se a necessidade do estudo e do desenvolvimento de dispositivos eletrônicos cada vez mais robustos e com menores perdas energéticas. Neste contexto, insere-se a tecnologia de transistores metal-óxido-semicondutor de efeito de campo (MOSFET) baseados em semicondutores de carbeto de silício (SiC), estes que, em comparação aos MOSFETs de silício convencionais, apresentam características superiores, tais como: maiores limites de tensão e temperatura de operação sem degradação de suas propriedades elétricas, maiores limites de frequências de chaveamento, e principalmente, menores perdas por comutação [1]. Esta última característica vem se tornando a determinante para uma maior eficiência energética na operação do transistor e, conseqüentemente, de dispositivos usados em veículos elétricos como os conversores de potência, sendo um dos principais motivos do sucesso industrial desta nova tecnologia. De fato, a conversão de potência para aplicações em estações de recarga ou mesmo dentro do sistema elétrico do carro exige o chaveamento (ligamento e desligamento) contínuo dos transistores, processo que dissipa energia na forma de calor, durante os transientes de ligamento e desligamento do dispositivo, e torna o processo de conversão menos eficiente. Esse efeito é ainda potencializado devido à atual tendência industrial de aumento das frequências de chaveamento visando a maximização da densidade de potência convertida.

Nesse sentido, é imprescindível desenvolver ferramentas para análise e caracterização destes transientes em MOSFETs de SiC para determinação e otimização da eficiência energética desses dispositivos de potência. Dessa forma, este projeto propõe desenvolver uma plataforma de teste de duplo pulso (DPT) para obtenção das curvas características desses transientes de chaveamento (ligamento e desligamento) dos dispositivos, visando o estudo e a caracterização experimental das perdas por comutação na tecnologia de MOSFET de Si e de SiC em diferentes condições de operação. Além disso, este projeto objetiva analisar e caracterizar, experimentalmente e via simulação, a influência dos diversos elementos parasitários sobre estas perdas energéticas obtidas, com objetivo final de elaborar estratégias de otimização de circuitos como conversores de potência, visando reduzir essas perdas de energia elétrica. Vale ressaltar que este projeto se insere no contexto de transição energética e do desenvolvimento da tecnologia de carbeto de silício no país, sendo um desenvolvimento de grande relevância para o setor energético nacional.

2. METODOLOGIA

2.1 Circuito DPT

Dada a justificativa técnica sobre a necessidade de se implementar um circuito para teste de duplo pulso, pode-se entender, a seguir, como o circuito eletrônico de teste é implementado.

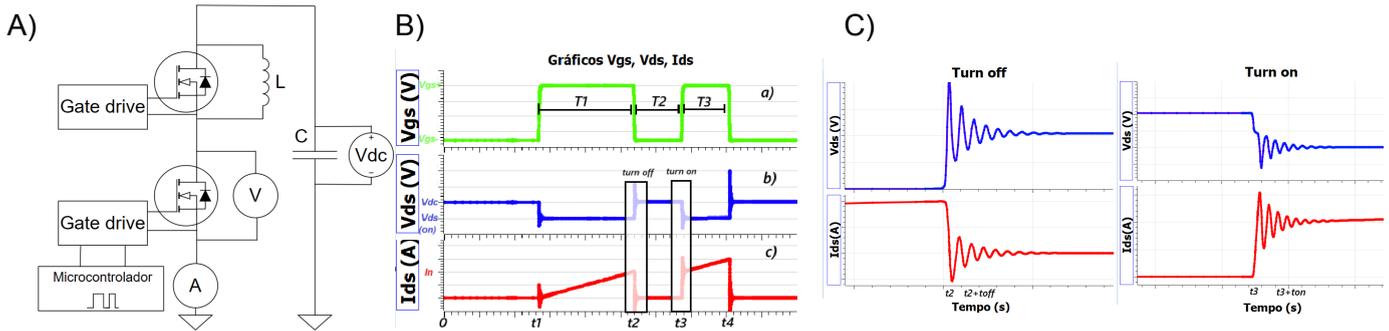


Figura 1: A) Circuito DPT em configuração “Half Bridge”, sendo o MOSFET inferior sujeito ao teste e o superior operando como diodo de roda livre. B) a) Sinal PWM gerado pelo microcontrolador e processado pelo *gate drive* (tensão V_{gs} do transistor sobre teste). b) tensão V_{ds} sobre o transistor c) corrente de dreno I_{ds} do transistor. C) Ampliação da região de ligamento (*turn on*) e de desligamento (*turn off*) do MOSFET sobre teste.

Primeiramente, um microcontrolador, tal como o *Arduino*, é programado para gerar dois pulsos retangulares consecutivos de tamanhos distintos (T_1, T_3), separados por um certo intervalo de tempo (T_2) a um dado nível de tensão (ex. 5V), note que aqui justifica-se o nome do método “duplo pulso”. Esse sinal, ainda não ajustado para ativação correta do transistor, serve como entrada para um circuito *gate drive* para que este, por sua vez, processe adequadamente o sinal, ajustando o nível de tensão dos pulsos de entrada de acordo com o dispositivo sendo testado (V_{gs+} , V_{gs-}), filtre sinais ruidosos, isole o circuito microcontrolador da placa de potência, adicione mecanismos de proteção contra sobretensão e sobrecorrente e por fim ajuste a corrente de saída de modo a reduzir o tempo de comutação do transistor sob teste. Assim, o sinal de saída processado (Figura 1B-a) é aplicado entre os terminais *gate* e *source* (V_{gs}) do dispositivo de teste (Figura 1A) permitindo a comutação do transistor de maneira adequada [1]. Adicionalmente, utiliza-se de uma fonte de tensão contínua V_{dc} em paralelo a um banco de capacitores C , bem como um segundo transistor em paralelo com um indutor, além de dispositivos de medida para extração da tensão V_{ds} e I_{ds} do transistor sob teste (Figura 1A). De maneira resumida, a fonte V_{dc} é responsável pelo carregamento dos capacitores (banco de capacitores) para que estes forneçam um nível de tensão de teste praticamente constante e filtrado para o circuito (Vdc) (Figura 1B.b), por outro lado, o laço com o transistor e o indutor é responsável por estabelecer um nível de corrente ($I_n = I_{teste} = \frac{T_1 V_{dc}}{L}$) para o dispositivo sob teste (Figura 1B-c). Note que o transistor superior tem seus terminais de *gate* e *source* curto circuitados ou com uma tensão $V_{gs} < 0$ para que o dispositivo funcione como um diodo de roda livre. Desta forma, por meio deste método, é possível obter as curvas de tensão e corrente que caracterizam a dinâmica dos transientes de ligamento e desligamento do transistor MOSFET sobre teste (Figura 1C) para diferentes níveis de tensão V_{dc} e corrente de operação I_n .

2.2 Projeto e construção da plataforma de Teste de Duplo pulso para MOSFET SiC

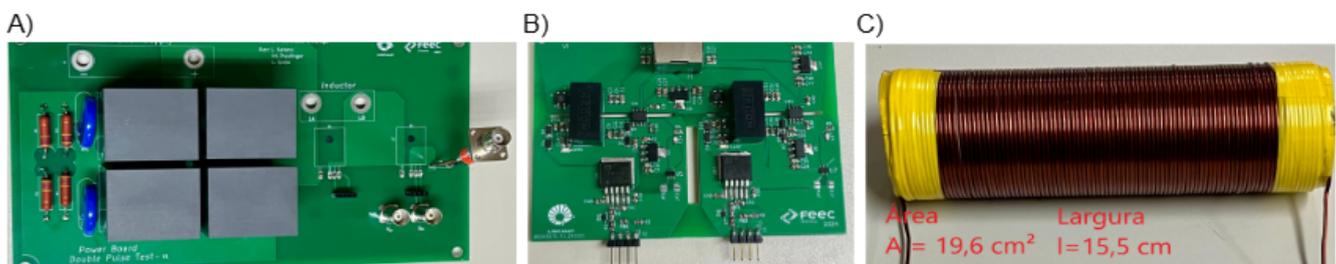


Figura 2: A) Placa de potência para SiC. B) Circuito *gate drive* para SiC C) Indutor construído.

Inicialmente, para o projeto da placa de potência de teste do MOSFET SiC (Figura 2A), foi feita a construção de um indutor cilíndrico de núcleo de ar utilizando um tubo de PVC em conjunto com $N = 90$ espiras feitas com o cabo AWG 15 (Figura 2C), resultando, assim, em uma indutância de $L = 135\mu H$. Adicionalmente foi projetado um banco de capacitores ($C = 40\mu F$) para uma margem de

variação de tensão de $\Delta V_{dc} = 0,28 \text{ V}$, bem como foram utilizados dois capacitores para redução de ruído de sinal e um resistor shunt (largura de banda de 2 GHz). Adicionalmente projetou-se quatro resistores para que o tempo de descarga dos capacitores fosse maior durante o desligamento do dispositivo, algo que, em conjunto com dois varistores de proteção contra sobretensão, funciona como mecanismo de segurança. Sequencialmente, realizou-se o projeto do circuito *gate drive* para acionamento dos MOSFETs SiC (Figura 2B). Neste projeto foram implementados mecanismos de regulação de tensão, filtragem, isolamento, segurança e amplificação de tensão (CI do *gate drive*). Desta forma, ao entrar com o sinal gerado pelo microcontrolador (*Arduino*), obtém-se como saída, um sinal PWM bipolar amplificado com amplitude variando de $[-3, +15] \text{ V}$ que é enviado ao circuito da placa de potência através dos conectores. Por fim, um projeto similar foi realizado para o teste de comutação de transistores MOSFET de silício.

2.3 Montagem experimental

Assim como pode ser observado pela Figura 3A, para montagem do ambiente de teste de comutação do MOSFET-SiC, inicialmente conectou-se a fonte de 12V os GNDs e o sinal PWM gerado pelo arduino aos terminais de um cabo de rede, para então, realizar a conexão com a porta RJ-45 do *gate drive*. Em seguida, conectou-se o pino Vdc da placa de potência, bem como seu *gnd*, na fonte de alimentação DC. Por fim, foi conectado o indutor cilíndrico e o circuito do *gate drive* nos seus respectivos terminais da placa de potência, realizando as medições utilizando um osciloscópio e suas pontes, bem como a bobina *rogowski*. Para a montagem da do ambiente para MOSFET-Si, o mesmo procedimento foi realizado (Fig.3B).

3. RESULTADOS E DISCUSSÃO

3.1 Medidas de perdas por comutação sob diferentes tensões e correntes de operação

Depois de ter construído a plataforma de teste, realizou-se ensaios, utilizando a bancada experimental apresentada (Figura 3A), em diferentes níveis de tensão ($V_{teste} = 100; 200; 250; 300\text{V}$) e corrente de teste ($I_{teste} = 10, 20, 25, 30\text{A}$), obtendo, os seguintes resultados:

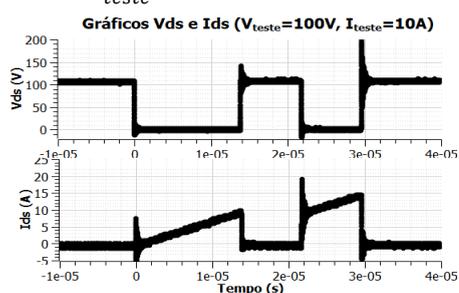


Figura 4: Exemplo de Gráfico V_{ds} , I_{ds} experimental obtido

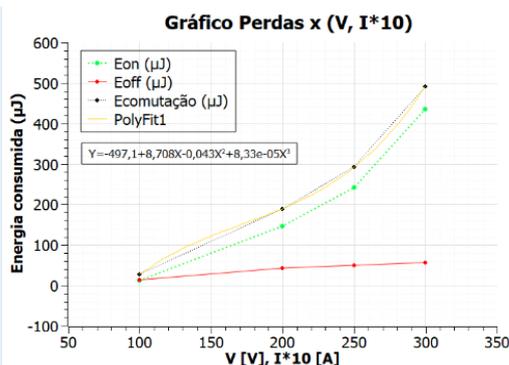


Figura 5: Gráfico das perdas por comutação x V, I de teste obtido a partir da Tabela 1.

Tabela 1: Perdas energéticas durante o ligamento E_{on} e o desligamento E_{off} do transistor MOSFET-SiC (obtidas a partir da integração da curva de potência durante os transientes de ligamento e desligamento do dispositivo) bem como tempos de ligamento t_{on} e desligamento t_{off} para diferentes I, V_{teste} .

Teste	$E_{on} (\mu\text{J})$	$t_{on} (\text{ns})$	$E_{off} (\mu\text{J})$	$t_{off} (\text{ns})$	$E_{comutação} (\mu\text{J})$	P(W) $f = 100\text{kHz}$
100V – 10A	12,71	20	13,93	38	26,64	2,66
200V – 20A	146,92	50	42,55	40	189,47	18,94
250V – 25A	241,52	80	50,23	90	291,75	29,1
300V – 30A	435,64	85	55,61	100	491,25	49,1

Desta forma, ao analisar a Tabela 1 em conjunto com a Figura 5, é possível verificar que as perdas durante o ligamento (E_{on}) e desligamento (E_{off}) do MOSFET-SiC apresentam uma relação diretamente proporcional à tensão e corrente de teste, assim como verificado pelas aproximações teóricas das perdas $E_{on} = \frac{V_{dc} I_{nominal}}{6} t_{on}$ [1] e $E_{off} = \frac{V_{dc} I_{nominal}}{6} t_{off}$ [1]. Note, no entanto, que as perdas durante o ligamento do dispositivo tornam-se significativamente maiores que as perdas durante o desligamento

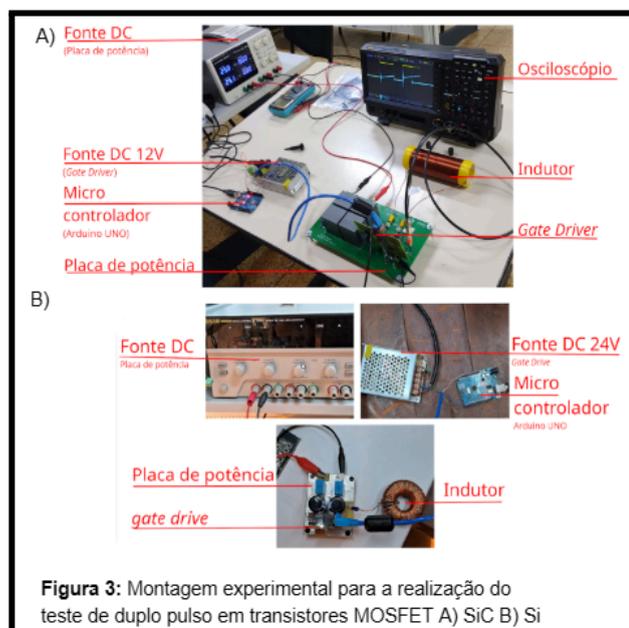


Figura 3: Montagem experimental para a realização do teste de duplo pulso em transistores MOSFET A) SiC B) Si

quando se opera em maiores níveis de tensão e corrente, mesmo com maiores transientes de desligamento t_{off} , algo que contradiz o comportamento ditado pelas equações mencionadas. Isso ocorre devido a superposição de comportamentos parasitários (não ideais), caracterizados na seção seguinte, durante o transiente de ligamento do dispositivo que se tornam consideráveis para altos níveis de tensão e corrente de operação e resultam em uma maior perda durante a comutação do dispositivo. [1]. Adicionalmente, pode-se verificar, pela Tabela 1, que o aumento da tensão de teste resulta em um aumento dos tempos de ligamento e desligamento do dispositivo. Isso ocorre devido ao atraso de carregamento e descarregamento das capacitâncias parasitas intrínsecas do MOSFET-SiC que ocorre ao ligar ou desligar o dispositivo, modelado pela Equações $t_{on} = R_g C_{dg} \frac{V_{dc}}{V_{gs} - V_{th}}$ [1] e

$$t_{off} = R_g C_{dg} \frac{V_{dc}}{V_{th}} [1],$$

algo que também aumenta as perdas por comutação ($E_{on} \propto t_{on}$, $E_{off} \propto t_{off}$) [1],[2]. Ademais, considerando a frequência de operação típica de conversores de potência como $f = 100kHz$, obtém-se as potências apresentadas na última coluna da Tabela 1, mostrando, dessa forma, o impacto significativo desta perda sobre a eficiência total dos conversores de potência e a relevância deste estudo. Por fim, foi possível verificar, experimentalmente, a maior eficiência em termos de perdas por comutação dos transistores de SiC em relação aos transistores de Si, uma vez que mesmo para baixos níveis de tensão e corrente de teste, foi possível verificar altos valores de perdas energéticas ($V_{teste} = 30V$, $I_{teste} = 3A$, $P = 6,8W$) na plataforma de teste de Silício.

3.2 Caracterização dos elementos parasitários

Devido à existência de diversos elementos parasitários no circuito e no dispositivo de teste, tem-se a superposição de diversas respostas não ideais, tais como picos, oscilações e interferências de sinais, os quais, por sua vez, acabam por alterar o comportamento característico de chaveamento, contribuindo, assim, para as perdas por comutação. Dessa forma, torna-se essencial sua caracterização para a posterior otimização de operação dos circuitos de potência. Com esse intuito, analisa-se dois principais elementos/efeitos parasitários, além das capacitâncias intrínsecas descritas, que alteram significativamente a perda por comutação esperada, sendo estes provenientes das indutâncias parasitas das trilhas e do fenômeno de recuperação reversa do diodo de corpo.

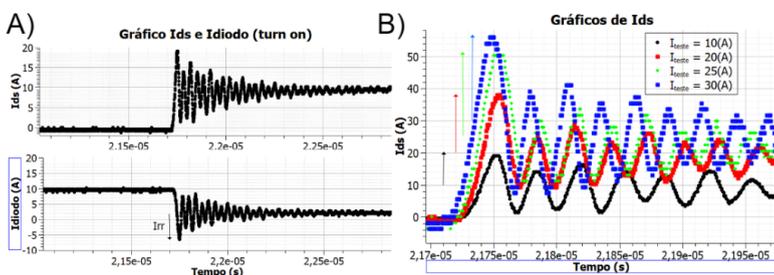


Figura 6: A) Gráfico de (I_{ds}) e da corrente que passa pelo diodo de corpo do MOSFET superior (I_{diodo}) durante o transiente de ligamento do MOSFET inferior ($V_{teste} = 100V$, $I_{teste} = 10A$). B) Gráfico das correntes I_{ds} durante o transiente de ligamento do dispositivo para diferentes I_{teste} .

A partir dos resultados experimentais obtidos (Figura 6), foi possível verificar que o fenômeno parasitário de recuperação reversa contribui de maneira significativa para as perdas por comutação durante o ligamento do dispositivo. Note que, durante o intervalo T2 (Figura1B) tem-se o transistor superior funcionando como um diodo de roda livre com uma alta corrente, devido a isso, nesse intervalo,

tem-se uma grande quantidade de portadores minoritários sendo injetados na camada de deriva do dispositivo. Estes que acabam por ser descarregados durante o intervalo desligamento do diodo (transiente de ligamento do MOSFET-SiC) em forma de corrente I_{rr} , denominada corrente de recuperação reversa, que se soma a corrente do transistor, assim como verificado experimentalmente na Figura 6A, aumentando, conseqüentemente, as perdas durante o ligamento do dispositivo E_{on} [3],[2].

Adicionalmente, também foi possível verificar que este efeito aumenta consideravelmente, para maiores correntes de operação, isso devido a maior quantidade de cargas sendo injetadas na região de deriva que posteriormente são descarregadas em maiores I_{rr} (Figura 6B). Conseqüente, de maneira complementar ao efeito de recuperação reversa, foi possível verificar o efeito oscilatório significativo imposto pelas indutâncias parasitas sobre os transientes de ligamento e desligamento do dispositivo sob teste, assim como ilustrado na Figura 7, algo que, por sua vez, resultou em alterações significativas nos valores de perdas por comutação.

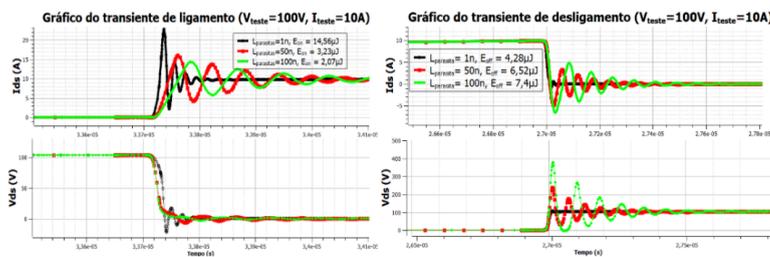


Figura 7: Simulação do efeito do aumento das indutâncias parasitas das trilhas da placa de potência sobre os transientes de ligamento e desligamento do MOSFET-SiC.

efeito de recuperação reversa sobre o MOSFET superior, resultando em um pico de corrente $I_{ds} \gg I_{teste}$ que resulta, devido às indutâncias parasitas presente no circuito de teste, em uma resposta subamortecida com alta condição inicial e baixo fator de amortecimento, isto é, tem-se uma resposta oscilatória de grande magnitude e alto tempo de eliminação durante o transiente de ligamento do MOSFET, assim, mesmo com baixas variações de amplitude de V_{ds} provenientes da resposta normal do sistema, tem-se alto produto $V_{ds} I_{ds}$.

3.3 Otimização do circuito DPT e conversores de potência

Após toda análise feita a respeito dos principais elementos parasitários que atuam sobre o circuito de teste e seus impactos sobre as perdas por comutação, apresenta-se nesta seção, estratégias de otimização da operação do circuito. Inicialmente, como uma estratégia de redução dos efeitos parasitários causados pelas capacitâncias parasitas do MOSFET, pode-se reduzir a resistência de porta R_g do transistor, uma vez que $t_{comutação} \propto R_g$, assim como verificado experimentalmente (Figura

8A). Por outro lado, pode-se diminuir o efeito das indutâncias parasitas, projetando trilhas mais largas (w) e de menores comprimentos (l), pois $L \propto 1/w$, $L \propto l$ [4]. Por fim, foi comprovado via simulação, que pode-se reduzir as perdas por comutação, a custo de um maior sobressinal em V_{ds} , por meio da adição de um segundo transistor SiC em paralelo ao MOSFET sobre teste (Figura 8B)

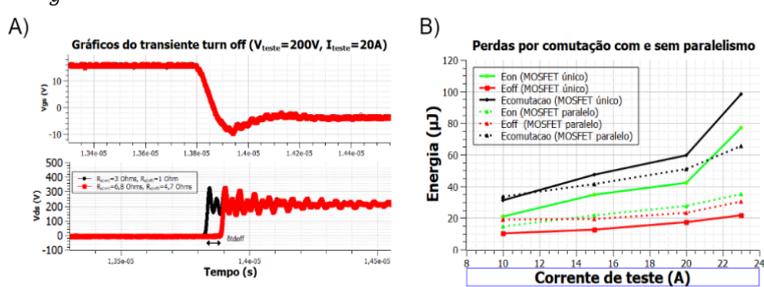


Figura 8: A) Variação do tempo de desligamento do MOSFET t_{off} com R_g B) Influência da adição de um segundo MOSFET-SiC ($V_{teste} = 200V$)

4. CONCLUSÕES

A realização deste trabalho permitiu projetar e construir duas plataformas baseadas no teste de duplo pulso (DPT) capazes de caracterizar com êxito os transientes de ligamento e desligamento de transistores MOSFET de silício e carbeto de silício por meio de ensaios experimentais e simulações. Em seguida, em posse desses resultados, foi possível estimar as perdas de energia na forma de calor (efeito Joule) que ocorrem durante o chaveamento do transistor, denominadas perdas por comutação, para diferentes condições de operação do dispositivo. Assim, este trabalho permitiu verificar experimentalmente, que transistores MOSFET construídos com semicondutores de carbeto de silício apresentam menores perdas por comutação em relação aos transistores convencionais de silício, sendo, portanto, mais eficiente energeticamente. Ademais, foi possível caracterizar os elementos parasitários do circuito e dos MOSFETs, mostrando seus impactos sobre as perdas por comutação e consequentemente sobre a eficiência de dispositivos de configuração similares, tais como os conversores de potência, para que então fosse possível apresentar soluções otimizadas bem como estratégias para minimização dessas perdas. Isso demonstra a relevância deste estudo para a otimização e minimização de perdas em circuitos de potência, essenciais para o desenvolvimento da tecnologia de carbeto de silício no país.

5. BIBLIOGRAFIA

- [1] MASOUD, Mahmoud; ISSA, Walid; YATES, Wilfred. *A tutorial on double pulse test of silicon and silicon carbide MOSFETs*. IEEE Xplore, 2023. Disponível em: <http://www.ieee.org>. Acesso em: 20 jul. 2024.
- [2] SCHWEICKHARDT, Jens; HERMANN, Kevin; HERDIN, Markus. *Tips & tricks on double pulse testing*. Rohde-schwarz, 2021. Disponível em: <https://www.rohde-schwarz.com/>. Acesso em: 19 ago. 2024.
- [3] WANG, Zhaohui et al. *Evaluation of reverse recovery characteristic of silicon carbide metal-oxide-semiconductor field-effect transistor intrinsic diode*. IEEE, 2015. Disponível em: <https://ietresearch.onlinelibrary.wiley.com/>. Acesso em: 9 Feb. 2025.
- [4] KUMAR, Manish et al. *Improved Interconnect Layout of DC Link Capacitor Bank to Minimize Parasitic Inductance and its Effect on Performance of SiC MOSFET*. IEEE Xplore, 2020. Disponível em: <http://www.ieee.org>. Acesso em: 20 Jul.2025.