

Circuito Integrado Digital com Nó Tecnológico de 180nm para Lidar com o Sombreamento Parcial em Células Fotovoltaicas

Palavras-Chave: CMOS, contador, multiplexador, fotovoltaico

Autores/as:

Antonio Enrico Gris, FEEC, UNICAMP

Jacilene Martins Medeiros, FEEC, UNICAMP

Cleber Lourenço Izidoro, PPGIES, UNILA

Oswaldo Hideo Ando Junior, PPGESE, UFRPE

Prof. Dr. Marco Roberto Cavallari, FEEC, UNICAMP

Abstrato - Nesse trabalho, foram feitos um contador de 4 bits e um multiplexador 16x1 baseados numa tecnologia CMOS de 180nm. Esse circuito integrado é necessário para a integração de um sistema identificador de sombreamento parcial em células fotovoltaicas. O objetivo principal é otimizar a eficiência energética dessas fontes de energia. O sombreamento parcial, além de prejudicar a eficiência, também cria locais de sobreaquecimento devido à dissipação de calor através de polarização reversa. Nesse cenário, tecnologias de filme fino, como as de semicondutores orgânicos, podem se degradar antes do esperado. Definida uma frequência de operação de 32MHz, obteve-se um leiaute de 2477 μm^2 , demonstrando compacidade para controle embarcado.

INTRODUÇÃO:

O sombreamento parcial em painéis fotovoltaicos ocorre quando alguns módulos se localizam em regiões de sombra enquanto outros estão expostos diretamente à luz solar. Essa disparidade gera sobreaquecimento local e, conseqüentemente, regiões de dissipação de energia, comprometendo a vida útil e a eficiência desses sistemas [1]. Tecnologias de filme fino, como a utilizada em células fotovoltaicas orgânicas, não suportam operações em altas temperaturas. O sobreaquecimento citado anteriormente pode romper as ligações sp^2 de carbono-carbono,

interrompendo a condutividade e gerando aprisionamento de cargas [2]. Esse fenômeno causa lentidão no tempo de transiente e também a diminuição da capacidade de conduzir corrente elétrica [3,4]. Diante desse cenário, o projeto de um sistema identificador de sombreamento parcial foi proposto, sendo desenvolvido através de componentes como: portas lógicas, osciladores, multiplexadores, flip-flops e contadores.

Cada sinal gerado pelos módulos solares são conectados às entradas do multiplexador, cujos bits seletores são definidos através das saídas do contador sincronizado pelo oscilador. Essa conjuntura possibilita uma varredura automática, sistêmica e contínua das células fotovoltaicas, assim, auxiliando na identificação de comportamentos adversos que podem comprometer o sistema.

Nesse contexto, esse trabalho apresenta o desenvolvimento de um contador de 4 bits e de um multiplexador 16x1 com alta frequência de operação e baixo consumo energético, compatível com a tecnologia de 180nm. Circuitos integrados analógicos, como o projeto de amplificadores operacionais, serão discutidos e compartilhados em publicações futuras.

METODOLOGIA:

1. Implementação do contador de 4 bits:

Para simplificar o circuito do contador de 4 bits, foram escolhidos latches D para a arquitetura

mestre-escravo dos flip-flop. Dessa forma, foi obtida a sensibilidade à borda de subida necessária para o sincronismo do circuito. Adicionalmente, as funções de Enable (habilitar) e Reset (zerar contagem) foram adicionadas. Para garantir maior robustez e operações apropriadas, esses sinais de controle (E e R) também devem ser executados de forma síncrona. Dessa forma, uma simples lógica de multiplexação foi implementada à entrada D do flip-flop [6], seguindo o comportamento descrito na Tabela 1. Note que Y é a saída da multiplexação, Q é a saída do contador e D é o valor atual da entrada.

E	R	D	Y
0	X	X	Q _n
1	0	X	D
1	1	X	0

Tabela 1 – Tabela-verdade da lógica de multiplexação (X = don't care)

O contador também tem uma tabela-verdade, descrita a seguir:

$$Q_n = Z \Rightarrow Q_{(n+1)} = Z + 1 \quad (1)$$

onde a contagem se inicia em $Z = 0$ e progride até o valor máximo de $Z = 15$, seguindo uma sequência cíclica [7]. Baseado nisso, é possível realizar a minimização lógica através do Mapa de Karnaugh, resultando nos circuitos combinacionais mostrados a seguir:

$$D_3 = Q_3 \oplus Q_2 Q_1 Q_0 \quad (2)$$

$$D_2 = Q_2 \oplus Q_1 Q_0 \quad (3)$$

$$D_1 = Q_1 \oplus Q_0 \quad (4)$$

$$D_0 = Q_0' \quad (5)$$

onde D_n é a entrada D do flip-flop n e Q_n é a saída do flip-flop n.

2. Implementação do multiplexador 16x1:

O multiplexador foi implementado de acordo com [4]. Por possuir 4 bits seletores (número de saídas do contador conectado a eles), ele foi projetado para 16 canais de entrada, atingindo sua capacidade máxima.

O multiplexador transmite uma de suas saídas dependendo do bit seletor, de acordo com a seguinte lógica:

$$(S_3 S_2 S_1 S_0)_{bin} = (S)_{dec} \Rightarrow Y = I_s \quad (6)$$

onde $S_3 S_2 S_1 S_0$ são os bits seletores, S é seu valor equivalente em base decimal e I_s é a entrada do multiplexador selecionada.

Mesmo que resulte numa área de maior de CI, foi decidida a utilização de portas de transmissão, ou seja, a associação de NMOS e PMOS em paralelo, assim permitindo que o multiplexador transmita sinais analógicos. Isso é necessário já que as entradas dele são conectadas diretamente aos módulos dos painéis solares, consequentemente, a sinais analógicos. Além disso, essa escolha de projeto garante menor atraso de propagação e também intervalo completo de GND à VDD dos sinais transmitidos.

3. Dimensionamento do circuito:

Um GPDK (Generic Process Design Kit) de 180nm foi utilizado no software Cadence Virtuoso®, onde os transistores NMOS e PMOS têm os mesmos valores para os parâmetros K_n e K_p . Além disso, esse GPDK define uma largura (W) mínima de 400nm. Sendo assim, foi escolhido $W_n = W_p = 400nm$ para o inversor, que serviu como base para o casamento de impedância do resto do circuito.

RESULTADOS E DISCUSSÃO:

1. Simulação do contador de 4 bits:

O esquemático do flip-flop D projetado é mostrado na Figura 1. Ele forma o bloco fundamental para o contador de 4 bits. A implementação foi testada para verificar sua performance e estabilidade, confirmando ser adequado para integração na arquitetura do sistema desejado.

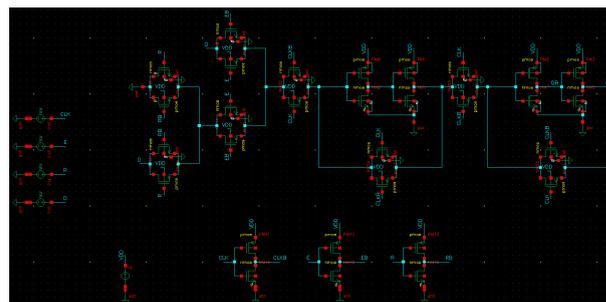


Figura 1 – Esquemático do Flip-flop D pelo software Cadence Virtuoso®.

A Figura 2 mostra a implementação do contador de 4 bits, com os flip-flops D conectados a seus respectivos circuitos combinacionais, como definido em [5]. A Figura 3 mostra sua curva característica para uma frequência de operação de 32MHz. Essa simulação valida a performance do contador, demonstrando sua precisão e confiabilidade para condições típicas de operação.

Após sua validação através de simulação prévia, o leiaute pôde ser realizado, como visto na Figura 4. Esse circuito tem dimensões de 43.2µm x 32.3µm, apresentando uma área de 1395µm². O seu tamanho compacto garante uso eficiente da tecnologia de silício CMOS, que é crucial para a integração de diversos componentes num espaço limitado, mantendo alta performance e confiabilidade na prática.

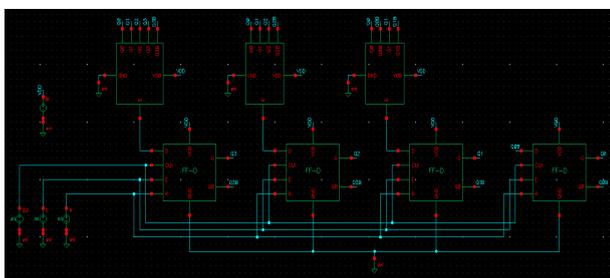


Figura 2 – Esquemático do Contador de 4 Bits pelo software Cadence Virtuoso®.

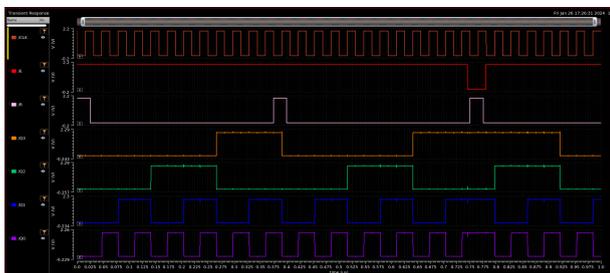


Figura 3 – Curva característica do Contador de 4 Bits pelo software Cadence Virtuoso®.

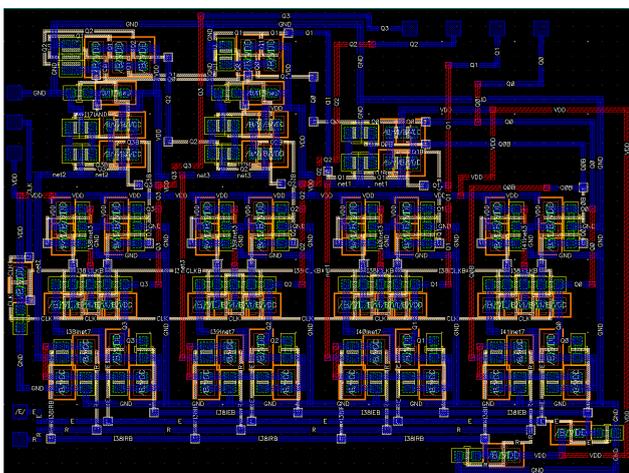


Figura 4 – Leiaute de fabricação do Contador de 4 Bits pelo software Cadence Virtuoso®.

2. Simulação do multiplexador 16x1:

O esquemático do multiplexador 16x1 projetado é mostrado na Figura 5. Ele foi baseado nos circuitos lógicos vistos em [4]. Essa implementação envolve um processo cuidadoso de projeto para garantir que o multiplexador consiga efetivamente selecionar uma de suas dezesseis entradas através de seus 4 bits seletores. O diagrama demonstra os arranjos lógicos e as interconexões das partes que compõem o multiplexador, que foram otimizados para maior eficiência e performance.

A Figura 6 mostra todas as entradas do multiplexador, que são níveis DC graduais de GND à VDD, todas escolhidas pelos bits seletores. Essa simulação fornece uma visão clara de como o multiplexador funciona, demonstrando sua habilidade de escolher precisamente uma de suas dezesseis entradas através dos bits seletores.

Após sua validação através de simulação prévia, o leiaute pôde ser realizado, como visto na Figura 7. Esse circuito tem dimensões de 32.3µm x 33.5µm, apresentando uma área de 1082µm². O seu tamanho compacto garante uso eficiente da tecnologia de silício CMOS, que é crucial para a integração de diversos componentes num espaço limitado, mantendo alta performance e confiabilidade na prática.

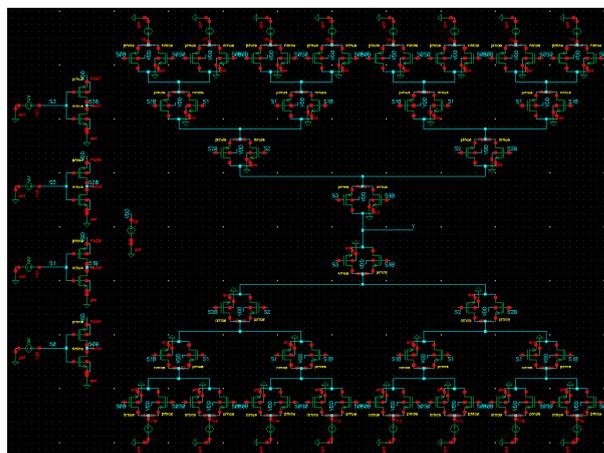


Figura 5 – Esquemático do Multiplexador 16x1 pelo software Cadence Virtuoso®.

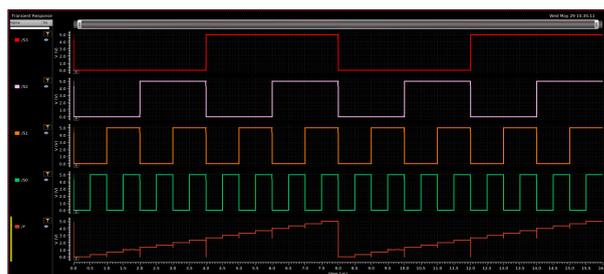


Figura 6 – Curva característica do Multiplexador 16x1 pelo software Cadence Virtuoso®.

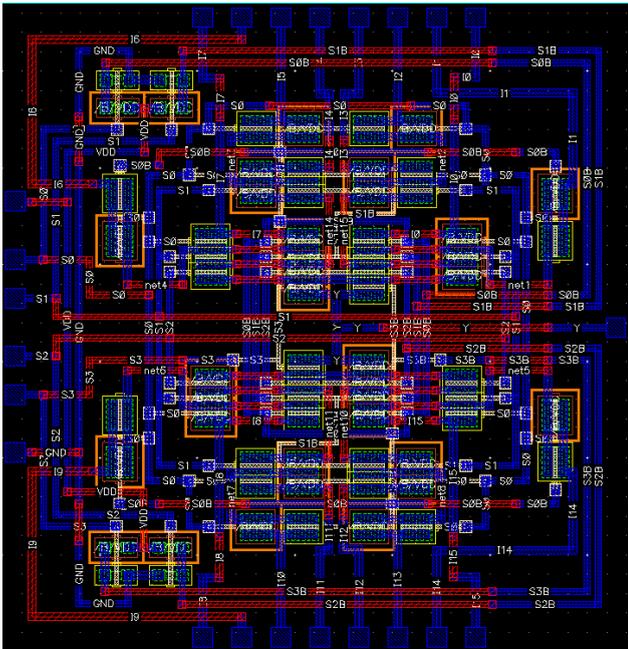


Figura 7 – Leiaute de fabricação do Multiplexador 16x1 pelo software Cadence Virtuoso®.

3. Próximos passos:

Em trabalhos futuros, o contador e o multiplexador serão integrados com o oscilador em anel, que gerará o sinal de relógio para o sincronismo do circuito. Além disso, também apresentará amplificadores operacionais para implementar comparadores e circuitos de desvio para as células que estiverem sofrendo influência do sombreamento parcial. Finalmente, deseja-se migrar da GPDK de 180nm para a tecnologia de 65nm da TSMC (Taiwan Semiconductor Manufacturing Company).

CONCLUSÕES:

O contador de 4 bits demonstra capacidade de contagem de 0 a 15, em decimal. Notavelmente, mostra resposta robusta aos sinais de controle de Enable e Reset, mesmo sob as condições de uma frequência de operação de 32MHz. A capacidade de contagem pode ser expandida através do cascadeamento de contadores adicionais, possibilitando a construção de contadores com maior números de bit.

O multiplexador 16x1 aceita tensões com valores dentro do intervalo GND à VDD, garantindo compatibilidade com sinais analógicos, como os originados pelos módulos fotovoltaicos. Além disso, possui resposta rápida de transmissão, como o esperado.

Para concluir, pode-se dizer que esse trabalho representa um passo adiante em direção à solucionar, em circuito integrado, a questão do

sombreamento parcial em células fotovoltaicas, como discutido em [1-3].

AGRADECIMENTOS

Os autores gostariam de agradecer ao Nelson Vitor Augusto da UNICAMP pelo suporte técnico imprescindível, ao Prof. Dr. José Alexandre Diniz da UNICAMP pela bolsa de estudos dos autores Antonio Gris e Jacilene Medeiros e ao Prof. Dr. Fabiano Fruett da UNICAMP por disponibilizar os computadores e o software usados para esse trabalho.

BIBLIOGRAFIA

- [1] M. A. A. Mamun, M. Hasanuzzaman, and J. Selvaraj, "Experimental investigation of the effect of partial shading on photovoltaic performance," *IET Renew. Power Gener.*, vol. 11, pp. 912–921, 2017.
- [2] M. Karakawa et al., "Factors contributing to degradation of organic photovoltaic cells," *Org. Electron.*, vol. 76, pp. 105448, 2020.
- [3] G. Santos, M. R. Cavallari, and F. J. Fonseca, "A Comparative Study on the Optimization of a Ternary P3HT:PCBM:Pentacene Active Layer in Bulk Heterojunction Organic Solar Cells," *ASME. J. Sol. Energy Eng.*, vol. 137, pp. 044502, August 2015.
- [4] L. M. Pastrana et al., "Organic Thin-Films by Wet-Processes for Flexible Bulk-Heterojunction Organic Solar Cells," 2021 International Conference on Electrical, Computer and Energy Technologies (ICECET), Cape Town, South Africa, 2021, pp. 1-6.
- [5] A. S. Sedra, K. C. Smith, T. C. Carusone, and V. Gaudet, "Chapter 16: Memory Circuits," in *Microelectronic Circuits*, Oxford University Press, 7th edition, 2015.
- [6] A. S. Sedra, K. C. Smith, T. C. Carusone, and V. Gaudet, "Chapter 15: Advanced Topics in Digital Integrated-Circuit Design," in *Microelectronic Circuits*, Oxford University Press, 7th edition, 2015.
- [7] R. J. Tocci, N. S. Widmer, and G. L. Moss, "Chapter 7: Counters and Registers," in *Digital Systems: Principles and Applications*, Upper Saddle River, NJ: Pearson, 11th edition, 2014.
- [8] R. J. Tocci, N. S. Widmer, and G. L. Moss, "Chapter 4: Combinational Logic Circuits," in *Digital Systems: Principles and Applications*, Upper Saddle River, NJ: Pearson, 11th edition, 2014.